

LSSVL12D サーボバルブインターフェースモジュール

LS communication LVDT サーボバルブインターフェース

■概要



* 端子台入出力部

- ・デジタル入力 : 2点
- ・バルブポジションデマンド出力 : 1点
- ・LVDT入出力 : 1点 (6/4/3線式)

* 補助出力コネクタ

- ・アナログ出力 : 3点

* パネルI/Oコネクタ

- ・コネクタ脱落検知用DI : 1点
- ・デジタル入力/出力 : 5点 / 3点
- ・アナログ入力/入出力 : 入力(固定)3点 / 出力(可変)3点
入出力(可変)設定パターン:
内部ロジックで4通り設定可能

- * USBコネクタ : 1点(メンテナンス通信用mini-B)

■概要仕様

項目	仕様
デジタル入力(52G ON/外部強制閉入力)	DC24V×2、最小 ON 電流 2mA
バルブポジションデマンド出力	±20mA/±60mA ×1
LVDT 入出力	6/4/3 線式×1、出力:5~8Vrms、周波数:800~8000Hz、入力:8Vrms 以下
アナログ出力 (補助出力コネクタ)	1~5VDC×3
デジタル入力 (パネル I/O)	DC24V×5、最小 ON 電流 2mA コネクタ脱落検知用 DI×1
デジタル出力 (パネル I/O)	オープンコレクタ出力×3、最大電圧 DC30V、最大負荷電流 0.1A
アナログ入力/入出力 (パネル I/O)	1~5VDC×3 / 1~5VDC×3 (内部ロジック設定にて入力/出力を切替可)
インジケータ	表示 LED×4 : Run / Status / Network status A / Network status B 汎用表示 LED×16 : Ch1~Ch16 内部ロジックで任意に設定可能
USB コネクタ	メンテナンス通信用 mini-B ×1
自己診断機能	電源チェック、クロックチェック、ハートビートチェック、CRC チェック
IDOL 実装	可
モジュール二重化	対応(バックプレーンは LSI0B02、または LSI0B03 を使用) 但し、補助出力コネクタ、およびパネル IO コネクタの信号は、二重化非対応
絶縁耐圧	AC1500V デジタル入出力端子-PE 間 AC1000V アナログ入出力端子-PE 間 AC1000V LVDT 入出力端子-PE 間
環境条件	周囲温度 : (動作時/保管時)-5~60℃ 周囲湿度 : (動作時/保管時)0~95%RH(結露なきこと)
動作電源	DC 24V±20% 2 系統受電(バックプレーンから供給を受ける電圧)
耐衝撃/耐振動	15G 11ms / 3.5mm @5Hz~8.4Hz、1G @8.4Hz~150Hz
外形寸法	152.5mmD x 94mmH x 46mmW (突起部除く)



LSSVL12D サーボバルブインターフェースモジュール

LS communication LVDT サーボバルブインターフェース

LSSVL12D サーボバルブインターフェースモジュール

LS communication LVDT サーボバルブインターフェース

■詳細仕様

		項目	定格/性能		
端子台 入出力部	Ch1: 52G ON デジタル入力	点数	1点		
		絶縁方式	フォトカプラ絶縁		
		絶縁耐圧	AC1500V デジタル入力端子-PE間		
		電流範囲	ON電流	DC2mA以上 外部電源電圧:DC24V ±10%	
	OFF電流		DC1mA以下		
	Ch2: 外部強制閉入力	点数	1点		
		絶縁方式	フォトカプラ絶縁		
		絶縁耐圧	AC1500V デジタル入力端子-PE間		
		電流範囲	ON電流	DC2mA以上 センス電源電圧:DC24V ±10%	
	OFF電流		DC1mA以下		
	Ch3,Ch4: バルブポジション デマンド出力 ※01/02のタイプ はEMSで切替	点数	1点		
		絶縁方式	デジタルアイソレータ絶縁		
		絶縁耐圧	AC1000V アナログ出力端子-PE間		
		定格出力電流	01タイプ	-20~+20mA (フルスケール)	
			02タイプ	-60~+60mA (フルスケール)	
		負荷抵抗範囲	01タイプ	40~400Ω	
			02タイプ	10~160Ω	
		絶対精度	@25℃	01タイプ	±0.1%FS (±0.04mA) @キャリブレーション時負荷(工場出荷時は250Ω)
				02タイプ	±0.1%FS (±0.12mA) @キャリブレーション時負荷(工場出荷時は40Ω)
		温度ドリフト	@-5~60℃	01タイプ	±100ppm/℃ (フルスケールに対して)
02タイプ					
出力電流モニタ	出力電流モニタ		内蔵		
	絶対精度	@25℃	01タイプ	±0.3%FS (±0.12mA)、@キャリブレーション時負荷	
			02タイプ	±0.3%FS (±0.36mA)、@キャリブレーション時負荷	
	ドリフト精度	@-5~60℃	01タイプ	±200ppm/℃ (フルスケールに対して)	
02タイプ					
Ch7: LVDTプライマリ 出力 ※出力電圧、出力周 波数は内部ロジックの 設定にて変更可能	点数	1点			
	絶縁方式	デジタルアイソレータ絶縁、フォトカプラ絶縁			
	絶縁耐圧	AC1000V アナログ出力端子-PE間			
	励磁出力電圧	5~8Vrms (内部ロジックの設定により可変)			
	励磁出力周波数	800~8000Hz (内部ロジックの設定により可変)			
	出力電圧 精度	絶対精度	@25℃	±0.2%@230Ω(at 5kHz)、@300Ω(at 1kHz)	
		温度ドリフト	@-5~60℃	±200ppm/℃	
	出力周波 数精度	絶対精度	@25℃	±1%	
		温度ドリフト	@-5~60℃	±200ppm/℃	
	駆動最小コイルインピーダンス	120Ω			
出力電圧モニタ	出力電圧モニタ		内蔵		
	絶対精度	@25℃	±0.3%FS (フルスケール:5~8Vrms[内部ロジック設定値])		
温度ドリフト	@-5~60℃	±200ppm/℃ (フルスケールに対して)			
Ch8,Ch9: LVDTセカンダリ 入力 ※実効値検波/同期検 波(位相補正有無)の検 波方式を選択可能(内 部ロジックで設定)	点数	2点			
	絶縁方式	デジタルアイソレータ絶縁、フォトカプラ絶縁			
	絶縁耐圧	AC1000V アナログ入力端子-PE間			
	定格入力電圧	8Vrms以下			
入力電圧 精度	絶対精度	@25℃	±0.3%FS (フルスケール:8Vrms)		
	温度ドリフト	@-5~60℃	±200ppm/℃ (フルスケールに対して)		

LSSVL12D サーボバルブインターフェースモジュール

LS communication LVDT サーボバルブインターフェース

		項目	定格/性能																																					
補助出力 コネクタ	アナログ出力	点数	3点																																					
		絶縁方式	デジタルアイソレータ絶縁																																					
		絶縁耐圧	AC500V アナログ出力端子-PE間																																					
		定格出力電圧	1~5V (フルスケール)																																					
		最小負荷抵抗	2kΩ																																					
		絶対精度	@25℃ ±0.3%FS (±12mV)																																					
		温度ドリフト	@-5~60℃ ±200ppm/℃ (フルスケールに対して)																																					
パネル I/Oコネクタ	デジタル入力	点数	DI(外部電源):5点 コネクタ脱落検知用DI:1点																																					
		絶縁方式	フォトカプラ絶縁																																					
		絶縁耐圧	AC500V デジタル入力端子-PE間																																					
		電流範囲	ON電流 DC2mA以上 外部電源電圧:DC24V ±10% OFF電流 DC1mA以下																																					
	デジタル出力	点数	3点																																					
		絶縁方式	フォトカプラ絶縁																																					
		絶縁耐圧	AC500V デジタル出力端子-PE間																																					
		印加最大電圧	DC30V																																					
		最大負荷電流	0.1A																																					
		OFF時漏れ電流	0.1mA以下																																					
アナログ入力	点数	3点(ブロック図のAI#1~#3)																																						
	絶縁方式	デジタルアイソレータ絶縁																																						
	絶縁耐圧	AC500V アナログ入力端子-PE間																																						
	定格入力電圧	1~5V (フルスケール)																																						
	入力インピーダンス	100kΩ以上																																						
	絶対精度	@25℃ ±0.3%FS (±12mV)																																						
	温度ドリフト	@-5~60℃ ±200ppm/℃ (フルスケールに対して)																																						
アナログ入力/出力	①アナログ 入力選択時	点数	3点(ブロック図のAI#4~#6/AO#1~#3)																																					
		絶縁方式	デジタルアイソレータ絶縁																																					
		絶縁耐圧	AC500V アナログ入出力端子-PE間																																					
		定格出力電圧	1~5V (フルスケール)																																					
		入力インピーダンス	100kΩ以上																																					
		絶対精度	@25℃ ±0.3%FS (±12mV)																																					
		温度ドリフト	@-5~60℃ ±200ppm/℃ (フルスケールに対して)																																					
	②アナログ 出力選択時	絶縁方式	デジタルアイソレータ絶縁																																					
		絶縁耐圧	AC500V アナログ入出力端子-PE間																																					
		定格出力電圧	1~5V (フルスケール)																																					
		最小負荷抵抗	9kΩ																																					
		絶対精度	@25℃ ±0.3%FS (±12mV)																																					
		温度ドリフト	@-5~60℃ ±200ppm/℃ (フルスケールに対して)																																					
		出力電圧モニタ	1~5V																																					
備考	<p>(内部ロジック設定によりAI/AOを切替可)</p> <p>アナログ出力として使用する場合は、ブロック図のアナログMCUのAI#4~#6は、AO#1~#3のリードバックとなる。パネルI/O端子のAI#4/AO#1、AI#5/AO#2、AI#6/AO#3は、下記の通りの組合わせで設定できる。(下表は、内部ロジックの2つの点番を用いて00~11の4通りを2bit表現したもの)</p> <table border="1"> <thead> <tr> <th rowspan="2">内部ロジック (AOとして使用する数)</th> <th colspan="2">端子名称</th> <th rowspan="2">AI#4/AO#1</th> <th rowspan="2">AI#5/AO#2</th> <th rowspan="2">AI#6/AO#3</th> <th rowspan="2">パターン</th> </tr> <tr> <th>DO1 (2進数)</th> <th>DO2 (2進数)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>AI</td> <td>AI</td> <td>AI</td> <td>入力3個/出力0個 (出荷設定)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>AI</td> <td>AI</td> <td>AO</td> <td>入力2個/出力1個</td> </tr> <tr> <td>2</td> <td>1</td> <td>0</td> <td>AI</td> <td>AO</td> <td>AO</td> <td>入力1個/出力2個</td> </tr> <tr> <td>3</td> <td>1</td> <td>1</td> <td>AO</td> <td>AO</td> <td>AO</td> <td>入力0個/出力3個</td> </tr> </tbody> </table>			内部ロジック (AOとして使用する数)	端子名称		AI#4/AO#1	AI#5/AO#2	AI#6/AO#3	パターン	DO1 (2進数)	DO2 (2進数)	0	0	0	AI	AI	AI	入力3個/出力0個 (出荷設定)	1	0	1	AI	AI	AO	入力2個/出力1個	2	1	0	AI	AO	AO	入力1個/出力2個	3	1	1	AO	AO	AO	入力0個/出力3個
内部ロジック (AOとして使用する数)	端子名称		AI#4/AO#1		AI#5/AO#2	AI#6/AO#3					パターン																													
	DO1 (2進数)	DO2 (2進数)																																						
0	0	0	AI	AI	AI	入力3個/出力0個 (出荷設定)																																		
1	0	1	AI	AI	AO	入力2個/出力1個																																		
2	1	0	AI	AO	AO	入力1個/出力2個																																		
3	1	1	AO	AO	AO	入力0個/出力3個																																		

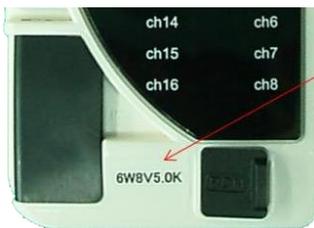
LSSVL12D サーボバルブインターフェースモジュール

LS communication LVDT サーボバルブインターフェース

項目		定格/性能
DPSで使用可能な演算周期		10msec以上
IOA間通信仕様	通信方式、通信速度	LVDS、100Mbps
自己診断機能		電源チェック (24V、17V、3.3V、1.2V、他) ※ブロック図参照 クロックチェック (FPGA-MCU、FPGA-CPU) ハートビートチェック (FPGA-MCU、FPGA-CPU) CRCチェック (FPGA-MCU)
IDOL実装		可 補足: IDOLとは、DIASYS-UP・DIASYS-UP/Vで使用されていたロジック記述言語である。 本モジュールの内部ロジックは、IDOLで記述したものである。
モジュール二重化		対応(バックプレーンはLSIOB02、またはLSIOB03を使用) 但し、補助出力コネクタ、およびパネルI/Oコネクタの信号は、二重化非対応
保護機能 (バックプレーン供給電源保護)		過電圧保護、過電流保護
インジケータ	表示LED	4点: RUN(Run) / STS(Status) / NSA(Network status A) / NSB(Network status B)
	汎用表示LED	16点: Ch1~Ch16 内部ロジックで任意に設定可能
シリアルインターフェース	メンテナンス用	1点: USBシリアル (USB mini-Bコネクタ)
ホットスワップ(活線挿抜)		可
動作電源		DC 24V±20% 2系統受電 (バックプレーンから供給を受ける電圧)
環境条件	モジュール周囲温度	(動作時/保管時)-5~60°C
	モジュール周囲湿度	(動作時/保管時)0~95%RH (結露なきこと)
耐振動		3.5mm @5Hz~8.4Hz 1G @8.4Hz~150Hz
耐衝撃		15G 11ms
消費電流		350mA以下
重量		0.24kg
外形寸法		152.5mmD x 94mmH x 46mmW (突起部除く)
準拠規格/準拠指令		EN 61131-2:2007, RoHS

適合モジュール型式について:

- ・本製品の適合バックプレーンについては、「適合バックプレーン一覧(CGS-S9901-J-XX)」をご参照ください。
- ・本製品の適合アクセサリ端子については、「適合アクセサリ端子一覧(CGS-S9902-J-XX)」をご参照ください。



(注意)本モジュールは設定値が異なるものがあります。

モジュール前面に貼られている識別シール(「4W8V 1.0K/5」、etc)で判別できます。
交換時は異なった設定値のものを使用しないようご注意ください。

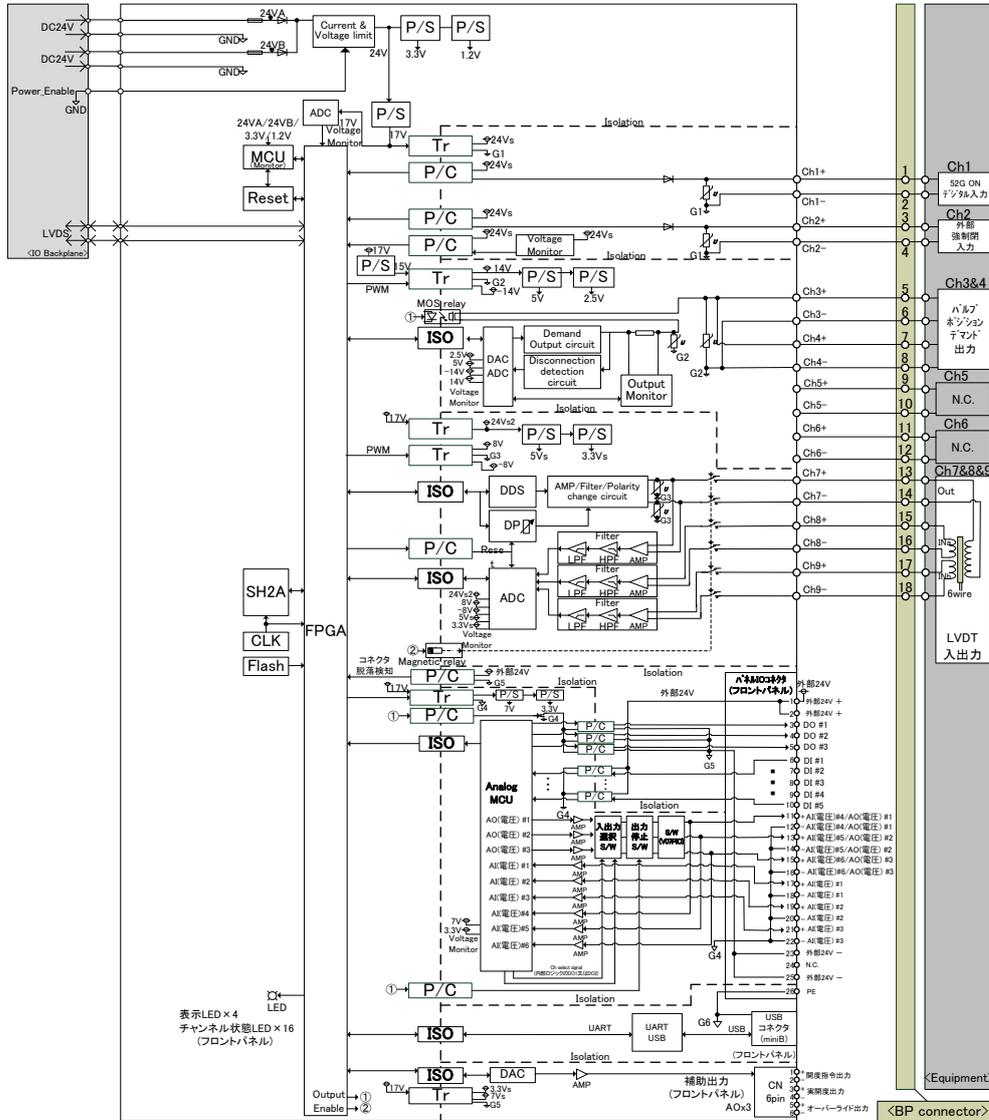
例: 識別シールの見方



LSSVL12D サーボバルブインターフェースモジュール

LS communication LVDT サーボバルブインターフェース

■ブロック図



- | | | | |
|------|--------------------------------------|-----------------------|---|
| P/S | : Power supply | MCU | : Micro control unit |
| SH2A | : Renesas SH-2A micro processor | FPGA | : Field programmable gate array |
| CLK | : Clock generation circuit | LED | : Light emitting diode |
| ISO | : Digital isolator | ADC | : Analog digital converter |
| LPF | : Low pass filter | GND,G1,G2,G3,G4,G5,G6 | : Ground |
| LVDS | : Low Voltage Differential Signaling | BP | : Backplane |
| DP | : Digital potentiometer | DDS | : Direct digital synthesizer |
| PWM | : Pulse width modulation | DAC | : Digital analog converter |
| AMP | : Amplifier | HPF | : High pass filter |
| P/C | : Photo Coupler | Tr | : Transformer |
| N.C. | : No Connection | CN | : Connector |
| AO | : Analog Output | Flash | : Flash ROM |
| PE | : Protective Earth | MOS relay | : Photo Metal-Oxide-Semiconductor relay |
| | : Varistor | | : Resistor |
| | : Fuse | | : Diode |

ご使用の際は、製品に添付の取扱説明書をよくお読みの上正しくお使い下さい。
 本書の内容の一部または全部を無断で転載することは禁止されています。
 本書掲載の製品説明は、製品改良などのために実際の製品と異なる場合がありますのでご了承下さい。
 DIASYS Netmation / DIASYS Netmation4Sは、三菱重工業株式会社の登録商標です。
 文中に記載されている他社の製品名、サービス名等はそれぞれ各社の商標または登録商標です。